



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06036567 A**(43) Date of publication of application: **10 . 02 . 94**

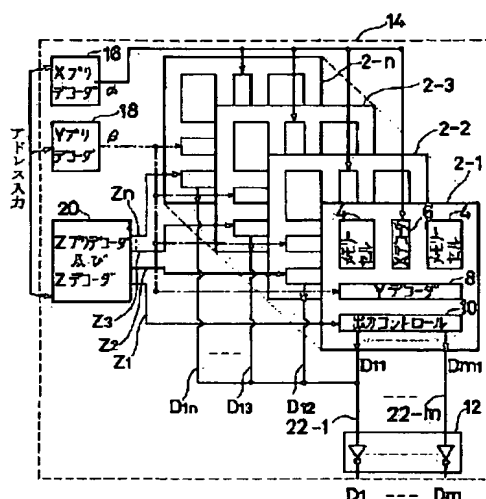
(51) Int. Cl

G11C 11/41(21) Application number: **04215454**(71) Applicant: **RICOH CO LTD**(22) Date of filing: **20 . 07 . 92**(72) Inventor: **MATSUO MASAHIRO****(54) SEMICONDUCTOR MEMORY DEVICE****(57) Abstract:**

PURPOSE: To maintain high speed in operation even when a device becomes large capacity by dividing a memory cell part into plural blocks, selecting in common corresponding memory cells in respective blocks with an X and a Y decoders and providing a Z decoder, selecting one block and activating it.

CONSTITUTION: The memory cell in the block 2-1 is selected by an X and a Y predecoders 16, 18. Although the memory cells in the blocks 2-2 to 2-n are selected simultaneously, a sensing circuit is operated only in the block 2-1, and operation current is consumed only by the block 2-1, and other blocks are in a stand-by state. The selection of the block is performed by the Z decoder 20, and only a Z signal Z1 becomes an H level. The signals Z2-Zn become the L level. The signal from the block 2-1 is inputted to a MOS Tr in an output buffer circuit 12 by the signals Z1-Zn under the control of an output control circuit 10. The signal of the block 1 is outputted as data outputs D1-Dm. Cases where the blocks 2-2 to 2-n except the block 2-1 are selected as well are performed similarly.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-36567

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵

G11C 11/41

識別記号

庁内整理番号

F I

技術表示箇所

6741-5L

G11C 11/34

301 E

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平4-215454

(22)出願日 平成4年(1992)7月20日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 松尾 正浩

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

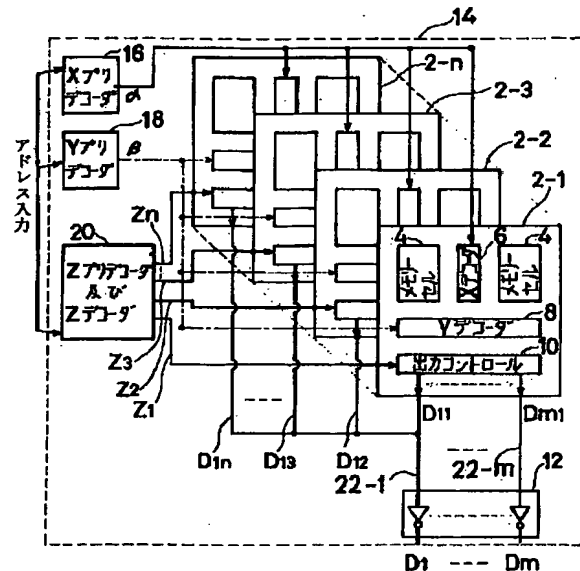
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【目的】 大容量になったときでも動作の高速性を維持し、また消費電力を少なくする。

【構成】 メモリセル部分が複数のブロック2-1~2-nに分割され、各ブロック内にはメモリセル部4と、メモリセル部4内のメモリセルを選択するワードラインを選択するXデコーダ6と、メモリセル部4内のビットラインを選択するYデコーダ8、及び選択されたメモリセルのデータをビットラインを通して読み出すセンシング回路を含み読み出されたデータをそのブロックから出力バッファ回路12へ出力する出力コントロール回路10を備えている。1つのブロックのみを選択して動作可能な状態にするために、Zデコーダ20が設けられている。



1

【特許請求の範囲】

【請求項1】 メモリセル、ワードライン選択用Xデコーダ、ビットライン選択用Yデコーダ、及び後記Zデコーダ出力により活性化されたときにXデコーダとYデコーダで選択されたメモリセルのデータを読み出して出力する出力コントロール回路を備えた複数のブロックと、アドレス信号を入力し前記各ブロックのXデコーダに対して共通の信号を供給するXプリデコーダと、アドレス信号を入力し前記各ブロックのYデコーダに対して共通の信号を供給するYプリデコーダと、アドレス信号を入力し前記ブロックのいずれかを選択して活性化する信号を供給するZデコーダと、Zデコーダにより選択されたブロックの出力を外部へ出力する出力バッファ回路とを備えたことを特徴とする半導体メモリ装置。

【請求項2】 前記各ブロックの出力コントロール回路からの対応する出力線がワイヤードオア結合されて前記出力バッファ回路へ接続され、前記出力コントロール回路は前記Zデコーダ出力により選択されたときにデータを有効に出力し、選択されなかったときに出力線をハイインピーダンス状態とするゲート回路を備えている請求項1に記載の半導体メモリ装置。

【請求項3】 前記出力コントロール回路内で、メモリセルのデータを読み出すセンシング回路と電源端子との間には、Zデコーダ出力により選択されたときに導通状態になるスイッチ回路が設けられている請求項1に記載の半導体メモリ装置。

【請求項4】 前記各ブロックは同一の回路構成をしている請求項1に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はROM（リード・オンリ・メモリ）などの半導体メモリ装置に関するものである。

【0002】

【従来の技術】ROMなどの半導体メモリ装置では、メモリセルのデータを読み出すために、Xデコーダによりワードラインを選択しYデコーダによりビットラインを選択して、その交差部位に配置されているメモリセルのデータをビットラインを経てセンシング回路で読み出し、出力バッファ回路を経て出力する。メモリ容量が大容量になってくると、各ビットラインに接続されるメモリセルの数が増え、ビットラインの容量が大きくなって、高速読み出しを行なうことが困難になってくる。

【0003】そこで、メモリセル部をいくつかのブロックに選択し、各ブロックごとにセンシング回路を設けて高速読み出しを行なわせる考え方がある。しかし、その場合でも1つのXデコーダと1つのYデコーダで全体のメモリセル部から特定のメモリセルを選択している。また、センシング回路について考えると、1チップ内では全てのセンシング回路が動作状態にあるため、消費電力

(2)

2

が大きくなる問題もある。

【0004】

【発明が解決しようとする課題】本発明は大容量になったときでも動作の高速性を維持し、また消費電力を少なくするのも容易な半導体メモリ装置を提供することを目的とするものである。

【0005】

【課題を解決するための手段】本発明では、メモリセル部を複数のブロックに分ける。各ブロックにはメモリセルの他、ワードライン選択用Xデコーダ、ビットライン選択用Yデコーダ、及びZデコーダ出力により活性化されたときにXデコーダとYデコーダで選択されたメモリセルのデータを読み出して出力する出力コントロール回路を備える。複数のブロック以外に、アドレス信号を入力し各ブロックのXデコーダに対して共通の信号を供給するXプリデコーダ、アドレス信号を入力し各ブロックのYデコーダに対して共通の信号を供給するYプリデコーダ、アドレス信号を入力しいずれかのブロックを選択して活性化する信号を供給するZデコーダ、及びZデコーダにより選択されたブロックの出力を外部へ出力する出力バッファ回路をさらに備えている。

【0006】好ましい態様では、各ブロックの出力コントロール回路からの対応する出力線がワイヤードオア結合されて出力バッファ回路へ接続され、出力コントロール回路はZデコーダ出力により選択されたときにデータを有効に出力し、選択されなかったときに出力線をハイインピーダンス状態とするゲート回路を備えている。項1に記載の半導体メモリ装置。他の好ましい態様では、出力コントロール回路内で、メモリセルのデータを読み出すセンシング回路と電源端子との間には、Zデコーダ出力により選択されたときに導通状態になるスイッチ回路が設けられている。さらに他の好ましい態様では、各ブロックは同一の回路構成をしている。

【0007】

【実施例】図1は本発明をROMに適用した一実施例を表わし、図2は図1における各ブロックの出力コントロール回路内に設けられたセンシング回路部の例であり、図3は出力コントロール回路内でセンシング回路で読み出されたデータを出力バッファ回路へ出力するための回路部分の例である。図1において、チップ14内でメモリセル部分が複数のブロック2-1～2-nに分割され、各ブロック2-1～2-nは同じ構成をし、小容量のメモリを含んでいる。各ブロック2-1～2-n内にはメモリセル部4と、メモリセル部4内のメモリセルを選択するワードラインを選択するXデコーダ6と、メモリセル部4内のビットラインを選択するYデコーダ8、及び選択されたメモリセルのデータをビットラインを通して読み出すセンシング回路を含み読み出されたデータをそのブロックから出力バッファ回路12へ出力する出力コントロール回路10を備えている。ブロックの数n

は特に規定されるものではなく、任意に設定することができる。チップ14には外部から与えられるアドレス信号により各ブロック2-1~2-nのXデコーダ6に共通の信号群 α を供給するXプリデコーダ16と、外部から与えられるアドレス信号により各ブロック2-1~2-nのYデコーダ8に共通の信号群 β を供給するYプリデコーダ18も設けられている。信号群 α 、 β はそれぞれXプリデコーダ16、Yプリデコーダ18でアドレス入力信号をデコードした信号である。

【0008】ブロック2-1~2-nのうちの1つのブロックのみを選択して動作可能な状態にするために、アドレス入力信号を入力して1つのブロックを選択する信号 $Z_1 \sim Z_n$ を供給するZプリデコーダ及びZデコーダ（以下、Zデコーダという）20も同じチップ14内に設けられている。各ブロック2-1~2-nの出力コントロール回路10からのデータ出力信号は対応するデータについてワイヤードオア結合されてそれぞれのデータの出力線22-1~22-mとなり、同じチップ14内に設けられた出力バッファ回路12へ接続されている。

【0009】各ブロックの出力コントロール回路10には図2に示されるセンシング回路部が設けられている。Yデコーダ8で選択されたビットラインにつながるセンシング回路24を動作させるための電源端子 V_{cc} とセンシング回路24との間には、PMOSトランジスタ26がスイッチ回路として設けられており、そのPMOSトランジスタ26のゲート電極にはZデコーダ20からのZ信号 $Z_1 \sim Z_n$ がブロックごとに1つずつインバータ28を介して供給される。Z信号がハイレベルのとき、PMOSトランジスタ26がオンとなってそのブロックのセンシング回路24が動作状態となる。その選択された1つのブロック以外の他のブロックのセンシング回路24ではZ信号がローレベルであるため、スイッチ回路のPMOSトランジスタ26がオフとなってセンシング回路24への電源供給が遮断され、そのセンシング回路24は非動作状態となる。これにより、選択されないブロックにおける消費電力が抑えられる。

【0010】出力コントロール回路10におけるデータを出力バッファ回路12へ出力するためのコントロール部として、出力コントロール回路10には図3に示される回路が設けられている。センシング回路24からのデータ信号はCMOS構造のトランスファゲート30へ入力される。トランスファゲート30の開閉を制御するために、各ブロックに対応したZ信号 $Z_1 \sim Z_n$ がそのトランスファゲートのNMOSトランジスタ30nのゲート電極に供給され、Z信号のインバータを介した反転信号がそのトランスファゲートのPMOSトランジスタ30pのゲート電極に供給されている。NAND回路32の他方の入力端子にはZ信号が入力されている。トランスファゲート30の出力はNAND回路32を経てPMOSトランジスタ34pとNMOSトランジスタ34n

からなるインバータ34に接続され、インバータ36を経てPMOSトランジスタ38pとNMOSトランジスタ38nからなる他方の出力インバータ38に接続されている。

【0011】Z信号により選択されたブロックのみデータを有効とし、選択されなかったブロックの出力をハイインピーダンス状態とするために、インバータ34のPMOSトランジスタ34pとNMOSトランジスタ34nの間にはNMOSトランジスタ40が配置され、そのNMOSトランジスタ40のゲート電極にはZ信号が供給される。また、インバータ38のPMOSトランジスタ38pとNMOSトランジスタ38nの間にはPMOSトランジスタ42が配置され、そのPMOSトランジスタ42のゲート電極にはZ信号がインバータ36で反転されて供給される。

【0012】選択されなかったブロックでトランスファゲート30の出力をハイレベルに固定するために、トランスファゲート30の出力端子と電源端子 V_{cc} との間にPMOSトランジスタ44が設けられ、そのPMOSトランジスタ44のゲート電極にはZ信号が供給される。各ブロックで対応するデータについて出力コントロール用の回路が設けられ、それぞれの出力ラインはP側どおしとN側どおしがそれぞれワイヤードオアで結合されて、出力バッファ回路12の対応する出力トランジスタのPMOSトランジスタ46とNMOSトランジスタ48のゲート電極にそれぞれ接続されている。

【0013】次に、この実施例の動作について説明する。例としてブロック2-1からの出力をデータ出力 $D_1 \sim D_m$ へ出力する場合を説明する。まず、Xプリデコーダ16とYプリデコーダ18によりブロック2-1内のメモリセルが選択される。それと同時にブロック2-2~2-nの対応するメモリセルも選択されるが、センシング回路が動作しているのはブロック2-1のみであり、このブロック2-1のみが動作電流を消費し、その他のブロック2-2~2-nはスタンバイ状態となっている。ブロックの選択はZデコーダ20により行ない、Z信号 Z_1 のみがハイレベルとなり、 $Z_2 \sim Z_n$ はローレベルとなる。このZ信号 $Z_1 \sim Z_n$ によって出力コントロール回路10の制御も行なわれ、出力バッファ回路12のMOSトランジスタ46、48のゲート電極にはブロック2-1から出力された信号のみが入力され、その他のブロックの出力線はハイインピーダンス状態となる。その結果データ出力 $D_1 \sim D_m$ としてはブロック1の信号が出力される。ブロック2-1以外のブロック2-2~2-nを選択する場合も上記と同様に、Zデコーダ20から出力されている信号 $Z_2 \sim Z_n$ のうちの選択しようとするブロックに入力されているZ信号のみをハイレベルとし、その他のZ信号をローレベルとする。

【0014】

【発明の効果】請求項1ではメモリセル部を複数のプロ

ックに分割し、XデコーダとYデコーダにより各ブロックの対応するメモリセルを共通に選択するとともに、Zデコーダを新たに設けて1つのブロックのみを選択して活性化するようにしたので、小容量メモリブロックの高速性を損なうことなく、メモリセルの大容量化に対してはブロックの数を増やすことにより対応することができる。請求項2では小容量メモリブロックの数が増加したときに、出力信号配線の増加に対してワイヤードオアであればチップサイズの増大を回避することができる。請求項3では小容量メモリブロック数が増加しても消費電流の増加を回避することができる。請求項4では小容量メモリブロック間でのアクセススピードに差が生じないため、高速化メモリに適する。

【図面の簡単な説明】

【図1】一実施例を示すブロック図である。

【図2】同実施例におけるセンシング回路部を示すプロ *

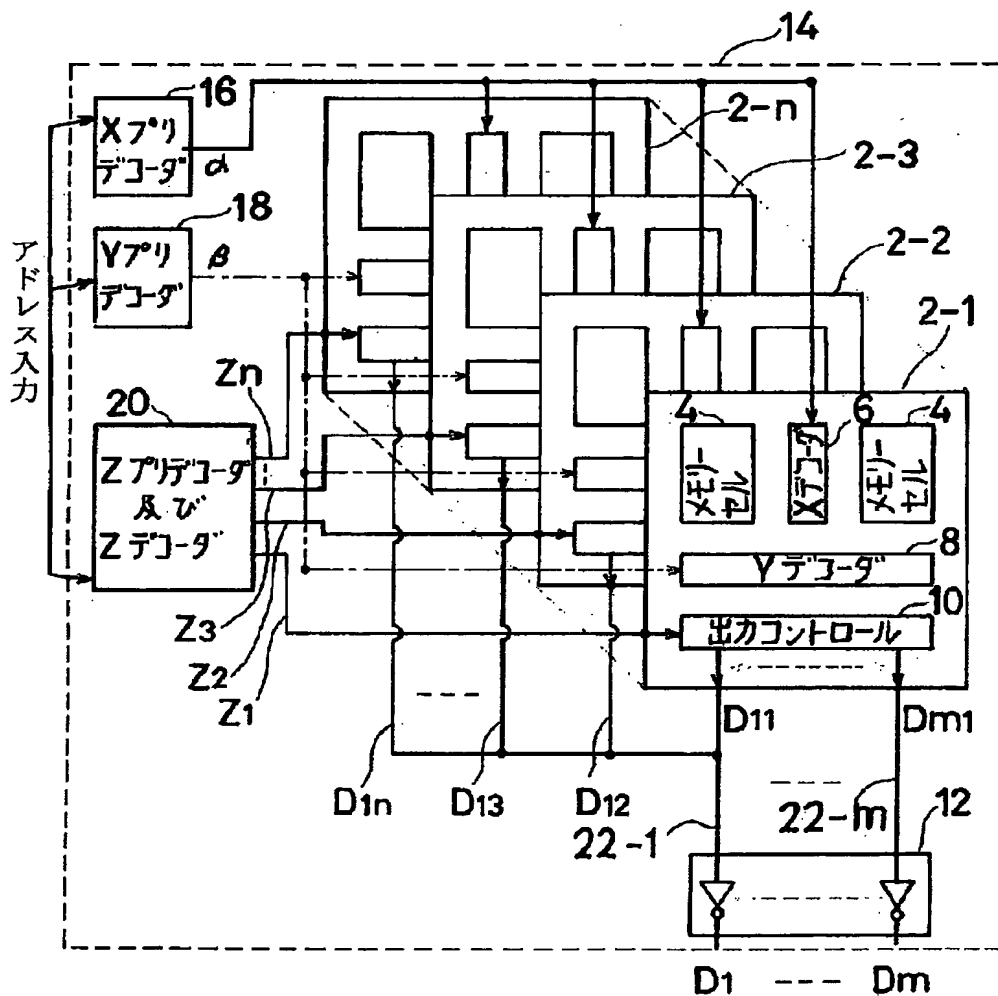
* ック図である。

【図3】同実施例におけるコントロール回路の出力部を示す回路図である。

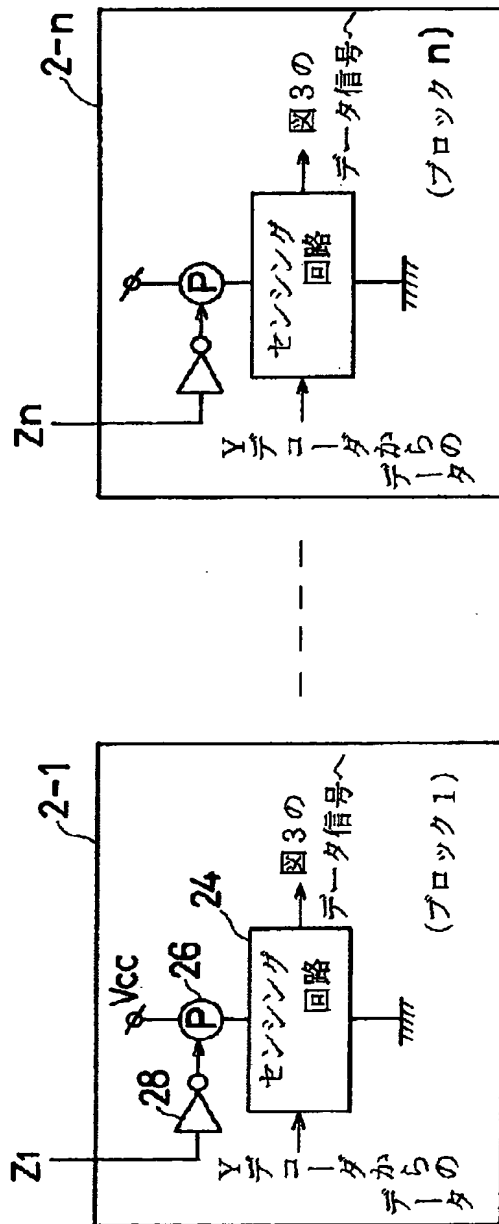
【符号の説明】

- | | |
|-----------|----------------|
| 2-1 ~ 2-n | ブロック |
| 4 | メモリセル部 |
| 6 | Xデコーダ |
| 8 | Yデコーダ |
| 10 | 出力コントロール回路 |
| 12 | 出力バッファ回路 |
| 14 | チップ |
| 16 | Xプリデコーダ |
| 18 | Yプリデコーダ |
| 20 | Zプリデコーダ及びZデコーダ |
| 24 | センシング回路 |

【図1】



【図2】



【図 3】

